



THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: MAKIYAMA, KOZO et al

Serial No.: 10/084,924

Filed: March 1, 2002

\*P7296-0698-020212

For. SEMICONDUCTOR DEVICE WITH MUSHROOM ELECTRODE AND  
MANUFACTURE METHOD THEREOF

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
Washington, D.C. 20231

Date: April 5, 2002

Sir:

The benefit of the filing dates of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2001-236301, filed August 3, 2001

Japanese Appln. No. 2002-019361, filed January 29, 2002

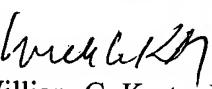
In support of this claim, the requisite certified copies of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copies.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully Submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP

  
William G. Kratz, Jr.  
Attorney for Applicants  
Reg. No. 22,631

WGK/my

Atty. Docket No. 020212  
Suite 1000, 1725 K Street, N.W.  
Washington, D.C. 20006  
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

RECEIVED  
APR 5 2002  
U.S. PATENT AND TRADEMARK OFFICE  
202-1725-2930



日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日  
Date of Application:

2002年 1月29日

出願番号  
Application Number:

特願2002-019361

[ST.10/C]:

[JP2002-019361]

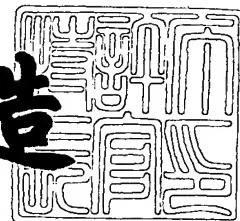
出願人  
Applicant(s):

富士通株式会社  
富士通カンタムデバイス株式会社

2002年 3月12日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2002-3015781

【書類名】 特許願  
 【整理番号】 0141394  
 【提出日】 平成14年 1月29日  
 【あて先】 特許庁長官殿  
 【国際特許分類】 H01L 29/60  
 【発明の名称】 半導体装置とその製造方法  
 【請求項の数】 10  
 【発明者】  
 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
 株式会社内  
 【氏名】 牧山 剛三  
 【発明者】  
 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
 株式会社内  
 【氏名】 池知 直哉  
 【発明者】  
 【住所又は居所】 山梨県中巨摩郡昭和町大字紙漉阿原1000番地 富士  
 通カンタムデバイス株式会社内  
 【氏名】 丹 孝弘  
 【特許出願人】  
 【識別番号】 000005223  
 【氏名又は名称】 富士通株式会社  
 【特許出願人】  
 【識別番号】 000154325  
 【氏名又は名称】 富士通カンタムデバイス株式会社  
 【代理人】  
 【識別番号】 100091340  
 【弁理士】  
 【氏名又は名称】 高橋 敬四郎

【電話番号】 03-3832-8095

【選任した代理人】

【識別番号】 100105887

【弁理士】

【氏名又は名称】 来山 幹雄

【電話番号】 03-3832-8095

【先の出願に基づく優先権主張】

【出願番号】 特願2001-236301

【出願日】 平成13年 8月 3日

【手数料の表示】

【予納台帳番号】 009852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705794

【包括委任状番号】 0109607

【包括委任状番号】 9724035

【包括委任状番号】 0109609

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とその製造方法

【特許請求の範囲】

【請求項1】 電流を流すための一対の電流取り出し領域を有する半導体基板と、

前記半導体基板上に形成され、ゲート電極用開口部を有する絶縁膜と、

前記ゲート電極用開口部で前記半導体基板上に形成され、前記半導体基板上で電流方向の寸法を制限し、上に向うに従って前記電流方向の寸法が単調に増大する順テープ形状を有する基部と、前記基部の上に形成され電流方向の寸法がステップ状に拡大した傘部とを有し、前記基部が前記ゲート電極用開口部で前記半導体基板に接すると共に、電流方向の両端部の少なくとも一方で前記絶縁膜上に乗り上げた構造を有するマッシュルーム型ゲート電極構造と、

を有する半導体装置。

【請求項2】 前記ゲート電極構造の基部が、前記両端部の一方で前記絶縁膜上に乗り上げ、該一方の側で他の側よりも大きな順テープを有する請求項1記載の半導体装置。

【請求項3】 複数のトランジスタ領域を有する半導体基板と、

前記複数のトランジスタ領域で前記半導体基板上方に形成され、各々前記半導体基板上で電流方向の寸法を制限した基部と、前記基部の上に形成され電流方向の寸法がステップ状に拡大した傘部とを有する複数のマッシュルーム型ゲート電極構造と、

を有し、前記複数のマッシュルーム型ゲート電極構造の少なくとも一部は上に向うに従って電流方向の寸法が単調に増大するテープ形状を有し、テープ形状の角度がトランジスタ領域に応じて異なるものを含む半導体装置。

【請求項4】 電流を流すための一対の電流取り出し領域を有する半導体基板と、

前記一対の電流取り出し領域の間で、前記半導体基板表面上に形成され、電流方向に関して比較的小さな順テープを有する下側基部と、その上に形成され、比較的大きな順テープを有する上側基部と、その上に形成され電流方向の寸法がス

ステップ状に拡大した傘部とを有するマッシュルーム型ゲート電極構造と、  
を有する半導体装置。

【請求項5】 電流を流すための一対の電流取り出し領域を有する半導体基板と、

前記一対の電流取り出し領域の間で、前記半導体基板表面に形成されたゲート電極用絶縁層と、前記ゲート電極用絶縁層の端部から引き込んだ領域上に形成され、上に向うに従って前記電流方向の寸法が単調に増大する順テープ形状を有する金属製基部と、その上に形成され電流方向の寸法がステップ状に拡大した金属製傘部とを有するマッシュルーム型ゲート電極構造と、  
を有する半導体装置。

【請求項6】 (a) 一対の電流取り出し領域を備えた半導体基板を準備する工程と、

- (b) 前記半導体基板上に絶縁層を形成する工程と、
- (c) 前記絶縁層上にレジスト積層を形成する工程と、
- (d) 前記レジスト積層の上層部に中広がりの上部開口を形成する工程と、
- (e) 前記レジスト積層の下層部に、前記上部開口に連続し、電流方向の寸法を制限し、ほぼ垂直な側壁を有する下部開口を形成する工程と、
- (f) 前記下部開口内に露出した絶縁膜をエッチングする工程と、
- (g) 前記レジスト積層を熱処理し、前記下部開口の側壁を変形させ、電流方向端部の少なくとも一方が前記絶縁層端部から後退すると共に、上に向うに従って前記下部開口の電流方向の寸法が単調に増大するように順テープ化する工程と
  
- (h) 前記下部開口内にゲート電極基部を埋め込むと共に、前記上部開口内に電流方向寸法の拡大した傘部を形成する工程と、  
を含む半導体装置の製造方法。

【請求項7】 さらに (i) 前記レジスト積層の下層部に対して、前記下部開口または下部開口となるべき領域に隣接する一対の領域の少なくとも一方にエネルギービームを照射する工程を含み、前記工程 (g) がエネルギービーム照射領域と非照射領域とでテープ化の程度が異なるようにする請求項6記載の半導体装置

の製造方法。

【請求項8】 (a) 複数の素子領域を備えた半導体基板を準備する工程と

(b) 前記半導体基板上方にレジスト積層を形成する工程と、

(c) 前記複数の素子領域の各々において、前記レジスト積層の上層部に上部開口を画定するためのエネルギー線照射を行い、前記複数の素子領域の少なくとも一部において、前記レジスト積層の下層部に、素子領域に応じたドーズ量のエネルギー線照射を行なう工程と、

(d) 前記複数の素子領域の各々において、前記レジスト積層の上層部に中広がりの上部開口を形成する工程と、

(e) 前記複数の素子領域の各々において、前記レジスト積層の下層部に、前記上部開口に連続し、第1の方向の寸法を制限し、ほぼ垂直な側壁を有する下部開口を形成する工程と、

(f) 前記レジスト積層を熱処理し、前記少なくとも一部の素子領域において、前記下部開口の側壁をドーズ量に応じて変形させ、上に向うに従って前記第1の方向の寸法が単調に増大したテーパ形状を生成する工程と、

(g) 前記下部開口内に導電体基部を埋め込むと共に、前記上部開口内に第1の方向寸法の拡大した傘部を形成する工程と、を含む半導体装置の製造方法。

【請求項9】 (a) 一対の電流取り出し領域を備えた半導体基板を準備する工程と、

(b) 前記半導体基板上に第1のレジスト層を形成し、第1の温度でベークする工程と、

(c) 前記第1のレジスト層の上に第2のレジスト層を形成し、第1の温度より低い第2の温度でベークする工程と、

(d) 前記第1、第2のレジスト層の上に中広がりの上部開口を有する上層レジスト構造を形成する工程と、

(e) 前記第1、第2のレジスト層に、前記上部開口に連続し、電流方向の寸法を制限し、ほぼ垂直な側壁を有する下部開口を形成する工程と、

(f) 前記半導体基板を第3の温度で熱処理し、前記第1のレジスト層に比較

的小さな順テープ化、前記第2のレジスト層に比較的大きな順テープ化を付与する工程と、

(g) 前記下部開口内にゲート電極基部を埋め込むと共に、前記上部開口内に電流方向寸法の拡大した傘部を形成し、マッシュルーム型ゲート電極を形成する工程と、  
を含む半導体装置の製造方法。

【請求項10】 (a) 一対の電流取り出し領域を備えた半導体基板を準備する工程と、

(b) 前記半導体基板上に下層部と上層部とを含むレジスト積層を形成する工程と、

(c) 前記レジスト積層の上層部に中広がりの上部開口を形成する工程と、

(d) 前記レジスト積層の下層部に、前記上部開口に連続し、電流方向の寸法を制限し、ほぼ垂直な側壁を有する下部開口を形成する工程と、

(e) 前記半導体基板上方から前記下部開口底面上にゲート電極用絶縁層を蒸着する工程と、

(f) 前記レジスト積層を熱処理し、前記下部開口の側壁を変形させ、電流方向端部が前記ゲート電極用絶縁層端部に乗り上げると共に、上に向うに従って前記下部開口の電流方向の寸法が単調に増大するように順テープ化する工程と、

(g) 前記半導体基板上方から前記上部開口および下部開口内に金属層を蒸着し、前記ゲート電極用絶縁層の上面に内包される底面を有するゲート電極基部を前記下部開口内に埋め込むと共に、前記上部開口内に電流方向寸法の拡大した傘部を形成し、マッシュルーム型ゲート電極を形成する工程と、  
を含む半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明は半導体装置とその製造方法に関し、特にいわゆるマッシュルーム型電極を有する半導体装置とその製造方法に関する。

##### 【0002】

【従来の技術】 電界効果トランジスタの動作速度は、ゲート電極の電流方

向の寸法であるゲート長に依存する。電界効果トランジスタを高速化するには、ゲート長を短くすることが望まれる。一方、ゲート電極の抵抗が高くなるとトランジスタの高速化に影響を与える。ゲート電極の抵抗を低く保つにはゲート電極の断面積を一定以上に保つことが望ましい。

## 【0003】

ゲート電極下部の寸法を制限し、上部で寸法を拡大したマッシュルーム型ゲート電極はこのような要請に応えられる電極構造である。このようなマッシュルーム型電極のほぼ垂直に立った下部を基部、その上の断面積の広がった上部を傘部と呼ぶ。マッシュルーム型ゲート電極は、一般的にホトレジスト層に垂直側壁を有する下部開口とその上で広がった上部開口とを形成し、その上にゲート電極層を蒸着し、レジスト層を除去するリフトオフにより形成していた。

## 【0004】

レジスト層に形成する垂直開口のアスペクト比が大きくなるにつれ下部垂直開口を均一にゲート電極層で埋め込むことが困難になってきた。このため、レジスト層が画定する下部開口を上方で開いた順テープ状とし、ボイドを発生させることなく上方で広がったテープ状のゲート電極基部を真空蒸着によって形成することが提案されている。

## 【0005】

ゲート電極基部を上広がりのテープ状にする際には、デバイスの性能及び信頼性を向上させるために、ゲート長の安定性及び半導体-ゲート電極接触部断面における形状制御が重要となる。しかしながら、従来の技術によるテープ化手法は、均一な開口形状及び半導体-ゲート電極接触部端面におけるゲート形状、およびその安定形成に関して十分なものとは言えなかった。

## 【0006】

従来、ゲート長0.15μmを越える電界効果トランジスタにおいては、ホトレジスト層にほぼ垂直な側壁を有する下部開口を形成し、マッシュルーム型ゲート電極を形成しても余り問題はなかった。ところが、ゲート長が0.15μm以下のデバイスを従来と同様の製造工程で製造しようと、ゲート電極製造工程における歩留まりが悪化した。

## 【0007】

そこで、ゲート電極の基部を構成するためのレジスト開口に上広がりの順テープ形状を用いることが望まれる。

従来の技術により、上広がりのテープ形状を有するゲート電極を作成する場合は、レジスト層にゲート電極基部を画定するための開口を形成し、レジストのガラス転移を利用し、ゲート電極基部画定用開口を順テープ化していた。しかしながら、従来の方法は制御性が悪く、ゲート長の均一化が困難であった。又、制御性の乏しさに起因して、半導体-ゲート電極接触部の構造制御は出来ず、デバイスの高速性及び信頼性を向上させることが出来なかった。

## 【0008】

## 【発明が解決しようとする課題】

従来のマッシュルーム型ゲート電極は、微細化したゲート電極の高アスペクト比に対応して、レジストのガラス転移を利用し、ファインゲート開口を上広がりにテープ化していた。しかしながら、この手法は、制御性が悪く、開口長すなわちゲート長の均一化が困難であった。また、制御性の乏しさに起因して、半導体-ゲート電極接触部の構造制御が出来ず、デバイスの高速性及び信頼性を向上させることが困難であった。

## 【0009】

本発明の目的は、歩留まり良く製造することのできる、微細ゲートを備えた半導体装置を提供することである。

本発明の他の目的は、微細ゲートを備えた半導体装置を信頼性高く製造することのできる半導体装置の製造方法を提供することである。

## 【0010】

本発明のさらに他の目的は、種々の特性を有する電極を同一層から形成した半導体装置を提供することである。

本発明のさらに他の目的は、種々の特性を有する電極を同一プロセスで作成することのできる半導体装置の製造装置を提供することである。

## 【0011】

## 【課題を解決するための手段】

本発明の1観点によれば、電流を流すための一対の電流取り出し領域を有する半導体基板と、前記半導体基板上に形成され、ゲート電極用開口部を有する絶縁膜と、前記ゲート電極用開口部で前記半導体基板上に形成され、前記半導体基板上で電流方向の寸法を制限し、上に向うに従って前記電流方向の寸法が単調に増大するテーパ形状を有する基部と、前記基部の上に形成され電流方向の寸法がステップ状に拡大した傘部とを有し、前記基部が前記ゲート電極用開口部で前記半導体基板に接すると共に、電流方向の両端部の少なくとも一方で前記絶縁膜上に乗り上げた構造を有するマッシュルーム型ゲート電極構造と、を有する半導体装置が提供される。

## 【0012】

本発明の他の観点によれば、(a) 一対の電流取り出し領域を備えた半導体基板を準備する工程と、(b) 前記半導体基板上に絶縁層を形成する工程と、(c) 前記絶縁層上にレジスト積層を形成する工程と、(d) 前記レジスト積層の上層部に中広がりの上部開口を形成する工程と、(e) 前記レジスト積層の下層部に、前記上部開口に連続し、電流方向の寸法を制限し、ほぼ垂直な側壁を有する下部開口を形成する工程と、(f) 前記下部開口内に露出した絶縁膜をエッチングする工程と、(g) 前記レジスト積層を熱処理し、前記下部開口の側壁を変形させ、電流方向端部の少なくとも一方が前記絶縁層端部から後退すると共に、上に向うに従って前記下部開口の電流方向の寸法が単調に増大するようテーパ化する工程と、(h) 前記下部開口内にゲート電極基部を埋め込むと共に、前記上部開口内に電流方向寸法の拡大した傘部を形成する工程と、を含む半導体装置の製造方法が提供される。

## 【0013】

本発明のさらに他の観点によれば、複数のトランジスタ領域を有する半導体基板と、前記複数のトランジスタ領域で前記半導体基板上方に形成され、各々前記半導体基板上で電流方向の寸法を制限した基部と、前記基部の上に形成され電流方向の寸法がステップ状に拡大した傘部とを有する複数のマッシュルーム型ゲート電極構造と、を有し、前記複数のマッシュルーム型ゲート電極構造の少なくとも一部は上に向うに従って電流方向の寸法が単調に増大するテーパ形状を有し、

テーパ形状の角度がトランジスタ領域に応じて異なるものを含む半導体装置が提供される。

## 【0014】

本発明の他の観点によれば、(a)複数の素子領域を備えた半導体基板を準備する工程と、(b)前記半導体基板上方にレジスト積層を形成する工程と、(c)前記複数の素子領域の各々において、前記レジスト積層の上層部に上部開口を画定するためのエネルギー線照射を行い、前記複数の素子領域の少なくとも一部において、前記レジスト積層の下層部に、素子領域に応じたドーズ量のエネルギー線照射を行なう工程と、(d)前記複数の素子領域の各々において、前記レジスト積層の上層部に中広がりの上部開口を形成する工程と、(e)前記複数の素子領域の各々において、前記レジスト積層の下層部に、前記上部開口に連続し、第1の方向の寸法を制限し、ほぼ垂直な側壁を有する下部開口を形成する工程と、(f)前記レジスト積層を熱処理し、前記少なくとも一部の素子領域において、前記下部開口の側壁をドーズ量に応じて変形させ、上に向うに従って前記第1の方向の寸法が単調に増大したテーパ形状を生成する工程と、(g)前記下部開口内に導電体基部を埋め込むと共に、前記上部開口内に第1の方向寸法の拡大した傘部を形成する工程と、を含む半導体装置の製造方法が提供される。

## 【0015】

## 【発明の実施の形態】

本発明の実施例の説明に先立ち、本発明者等が行なった検討事項について説明する。

## 【0016】

微細マッシュルームゲート電極を形成するためには、レジスト層に上広がりのテーパ形状を有する開口を形成することが望まれる。このような開口を形成することのできるレジストとして、例えばポリメチルメタクリレート(PMMA)を用いる。

## 【0017】

図7(A)に示すように、半導体基板50の表面上に、PMMAのレジスト層51をスピンドルコートで所望の厚さに形成する。レジスト溶媒の沸点近傍でベーキ

ングを行い溶媒を蒸発させる。ベーキング後のレジスト層51に対して電子線（EB）描画を行い、現像してほぼ垂直な側壁を有する開口52を形成する。

## 【0018】

図7（B）に示すように、現像後のレジスト層51に対して、熱処理を行うと開口52の側壁が上に行くほど広がる順テーパ形状に変化する。このようにして、順テーパ化した開口52xが得られる。

## 【0019】

例えば、PMMA溶媒の沸点温度が140°C程度である場合、レジスト塗布後露光前のベーキングを145°Cで行い、現像後の熱処理を135°Cで行う。この場合、約70度の順テーパ角θが形成できる。なお、順テーパ角は図示のように開口側壁が基板表面となす90度以下の角度を指す。順テーパの程度が大きいほど順テーパ角は小さい。

## 【0020】

順テーパ化工程後に得られるレジスト開口は、開口上部が開きながら、開口底部の寸法が変化する。この変化は、熱処理温度に依存する。

図7（C）は、現像後の熱処理温度に対する開口長の変動を示すグラフである。横軸が熱処理温度を単位°Cで示し、縦軸が開口長の変動を熱処理前の開口長に対する比で示す。熱処理温度が低い場合、開口長は広がるが、熱処理温度が高くなるに従い開口長は増加から減少へと変化する。すなわち、熱処理温度によって元の開口長よりも広い開口も得られれば、狭い開口も得られる。

## 【0021】

図7（D）は、現像後の熱処理温度に対するテーパ角の変化を示す。横軸は熱処理温度を単位°Cで示し、縦軸はテーパ角を単位度で示す。熱処理温度が低い場合、テーパ角はほぼ90度であり、ほとんど順テーパ化の効果は得られない。熱処理温度が高くなるにつれ、テーパ角は減少し、大きな順テーパ効果が得られる。例えば、75度程度の順テーパ角を得るには、133°C程度の熱処理を行えばよい。

## 【0022】

図7（C）、（D）の特性は、レジスト塗布後露光前のベーキングを一定温度

で行った場合の結果であり、ベーキング温度を変えれば特性も変化する。一般的に高温でベーキングを行うほど、その後の熱処理で得られる順テープ化効果は小さい。ベーキングを高温で行うと、レジスト分子の架橋が進み、その後の熱処理において変形し難くなると考えられる。実用上、0.1  $\mu$ m開口を作成する場合、80度以下のテープ角を用いることがプロセスの歩留まりを高く維持するため望まれる。

## 【0023】

図7(E)は、レジスト塗布後露光前のプリベークを比較的低温で行なった場合と、比較的高温で行なった場合に得られる効果の差を示すグラフである。図中横軸は熱処理温度を単位°Cで示し、縦軸はテープ角を単位度で示す。プリベークを高温で行うと、現像後の熱処理によって得られる順テープ化効果の程度が小さくなる。プリベークを低温で行うほど、現像後の熱処理で得られる順テープ化効果が大きい。

## 【0024】

これらの特性から、レジスト塗布後露光前のプリベーク温度と、現像後の熱処理温度を選択することにより、所望の開口長変動およびテープ角を得ることが可能なことがわかる。

## 【0025】

一般的にファイン(微細)ゲート用のレジスト開口は、EB描画により形成している。EB描画の際、ゲート開口に近接した領域に現像しない程度のドーズを行なった場合、より低温で高い順テープ化効果が得られる。電子ビーム等のエネルギービームの照射により、レジスト構成分子の結合が断たれ、分子量が小さくなるためと考えられる。

## 【0026】

図8は、ファインゲート近傍の領域に補助EB照射を行なった場合、得られるテープ角の変化を示すグラフである。横軸はファインゲート近傍のドーズ量を $\mu$ Cで示し、縦軸はテープ角を単位度で示す。ドーズ量を増大すると、同じ処理温度でも得られるテープ角は小さくなり、大きな順テープ化効果が得られる。EB描画は、所望の領域に選択的に行なうことが出来るため、ゲート開口の任意の部

分にEB照射を行えば、その任意の照射領域を順テープ化することが可能である。

### 【0027】

PMMAレジストは、重ね塗りをすることができる。2層以上のPMMAレジスト層を順次形成し、各レジスト層を異なる温度でベーキングすることが出来る。下層を高温でベーキングし、上層を低温でベーキングすると、高温ベークの効果は下層にのみ与えられ、下層は順テープ化し難く、上層は低温のベーキングのみが行われているため、順テープ化し易い。このように、積層のレジスト層を上層に向うに従い低温でベーキングすることにより、上層に向うほど大きなテープ化効果を得ることができる。

### 【0028】

以下、これらの検討結果に基づく本発明の実施例を説明する。

図1 (A)～図2 (J)は、本発明の1実施例による半導体装置の製造工程を説明するための半導体基板の断面図である。図3 (A)～(D)は、この実施例の特徴を補助的に説明するための半導体基板の断面図である。

### 【0029】

図1 (A)に示すように、例えばGaAs基板1の表面上に、有機金属気相成長法(MOCVD)、分子線エピタキシ(MBE)等の成長方法により、GaAsバッファ層2を、基板の転位の影響が緩和される厚みまで成長する。さらにその上に、InGaAsで形成された電子走行層3を例えば厚さ14nm成長し、その上にAlGaAsで形成された電子供給層4を厚さ約25nm成長し、さらにその上にSi添加のGaAsで形成された低抵抗層5を厚さ約50nm成長し、半導体装置形成用の半導体基板Sを得る。

### 【0030】

なお、導電性の半導体基板表面に素子領域を画定するため、活性領域以外の領域に酸素等の元素をイオン注入し、イオン注入された領域のドナーを不活性化することにより、半絶縁性領域とする。

### 【0031】

図1 (B)に示すように、半導体基板S表面上にレジスト層PR1を塗布し、

露光、現像することによりオーミック電極形成のための開口を形成する。オーミック電極用開口を備えたレジストパターンPR1を作成した後、高真空蒸着装置により厚さ約20nmのAuGe層と厚さ約300nmのAu層を積層したオーミック電極層11を形成する。レジストパターンPR1を剥離すると、その上に蒸着したオーミック電極層もリフトオフされて除去される。半導体基板S上にはオーミック電極11が残る。

#### 【0032】

図1(C)に示すように、オーミック電極11を覆うように、半導体基板S上に厚さ約20nmのSiN膜13を形成する。このSiN膜13は、基板とその上に形成するレジスト層との間の密着性を向上させる。

#### 【0033】

図1(D)に示すように、SiN膜13の上にレジスト層PR2を塗布し、ゲートリセス領域形成用の開口をEB描画により形成する。ゲートリセス領域は例えばゲート長の前後に0.1μm程度の領域を加えた面積とする。

#### 【0034】

ゲートリセス領域に開口を有するレジストパターンPR2を形成した後、このレジストパターンをマスクとしてSF<sub>6</sub>ガスを用いたドライエッチングにより、SiN膜13をエッチングし、次にSiCl<sub>4</sub>ガスを用いたドライエッチングにより、低抵抗GaAs層5をエッチングする。ゲートリセス領域には、電子供給層4が露出する。その後レジストパターンPR2は除去する。

#### 【0035】

図1(E)に示すように、ゲートリセス領域のエッチング後、厚さ約20nmのSiN膜15を基板表面上に堆積し、最表面を保護すると共に、次に形成するレジスト層との密着性を向上させる。SiN膜15の上に、PMMA系ポジ型電子線レジスト層PR10を厚さ約300nmスピンドルコートし、160℃で10分間熱処理する。この電子線レジスト層PR10の上に、アルカリ可溶性レジスト層Rを厚さ約600nmスピンドルコートし、160℃で約4分間ベーキングし、さらにその上にポリスチレン系電子線レジスト層PR20を厚さ約200nmスピンドルコートし、160℃で約4分間ベーキングする。

## 【0036】

電子線レジスト層PR20に対し、EB描画を行い、幅約0.8μmの開口部A1を画定する。

図1(F)に示すように、電子線レジスト層PR20の露光部A1をメチルイソブチルケトン(MIBK)／メチルエチルケトン(MEK)混合溶液により現像する。現像した電子線レジスト層PR20をマスクとし、その下のレジスト層Rをアルカリ現像液によりエッティングする。エッティングにより、電子線レジスト層PR20の開口部からさらに約0.2μm以上食い込んだ開口部がレジスト層Rに形成される。

## 【0037】

開口部に露出された電子線レジスト層PR10に対し、幅約0.1μmのゲート電極用開口をEB描画により画定する。EB露光された領域A3をMIBK／イソプロピルアルコール(IPA)混合溶液により現像することにより、電子線レジスト層PR10にゲート電極用開口が形成される。

## 【0038】

図1(G)に示すように、電子線レジスト層PR10をマスクとし、SF<sub>6</sub>ガスを用いたドライエッティングにより、露出したSiN膜15をエッティングする。このようにして、ほぼ垂直な側壁SW1を有するゲート電極用開口内に、幅約0.1μmの基板表面が露出される。

## 【0039】

図2(H)に示すように、順テープ化が生じると共に、開口長が広がる温度、例えば130℃で約10分間熱処理を行うことにより、開口長を広げながら、上方に向うほど開口が拡がる順テープの形成を行う。ゲート電極用開口部には、傾斜した側面SW2を有するゲート電極用開口A4が形成される。なお、電子線レジスト層の側壁SW2は、その下のSiN膜15の端部からたとえば0.01μm引き下がった(後退した)形状となる。

## 【0040】

図2(I)に示すように、開口の順テープ化処理を行なった半導体基板S上方から、高真空蒸着装置により、絶縁性金属酸化膜、例えばTiO<sub>x</sub>を堆積し、続

いてTi層、Pt層、Au層の積層を堆積し、ゲート電極層17を形成する。

#### 【0041】

このゲート電極層堆積工程におけるゲート電極用開口の順テープ化処理の役割を説明する。

図3 (D) に示すように、レジスト層PR10が垂直な側壁を有する場合、基板S上方から真空蒸着した蒸着層17aは、開口底面において中央部では確実に堆積するが、開口端部においては、レジスト層PR10の側壁などに影響され、堆積しにくくなる。開口端部では、蒸着層の厚さは薄くなり、場合によっては基板Sの表面が露出したままとなる。TiO<sub>x</sub>層がこのような状態で形成され、その上にTi層を蒸着すると、Ti層は開口端部において基板S表面と直接接触することがある。Tiと半導体表面とが接触すると、電界等のエネルギーが印加された状態でTiと半導体との化学反応が生じ、所望の特性が得られなくなりうる。強電界が印加されるドレイン側で特にこの可能性が高い。

#### 【0042】

図3 (B) に示すように、半導体基板Sの上の絶縁膜D (SiN層15) は、ほぼ垂直な側壁を有するが、その高さは極めて限られたものである。絶縁膜Dの上の電子線レジスト層PR10は、開口部が上方に向うほど広がって順テープ化している。上方より堆積する蒸着層は、レジスト層PR10の側壁に邪魔されることなく、絶縁膜Dの開口部にほぼ均一に堆積する。従って、初めに堆積されるTiO<sub>x</sub>層17aは、露出した基板S表面を確実に覆い、その後堆積される金属層と半導体層との接触を防止する。

#### 【0043】

図3 (C) に示すように、絶縁膜D、電子線レジスト層PR10により画定されたゲート電極用開口にたとえば厚さ数nmのTiO<sub>x</sub>層17a、たとえば厚さ10nmのTi層17b、たとえば厚さ10nmのPt層17cが順次形成された後、十分な厚さを有するAu層17dが例えば厚さ約500nm堆積される。

#### 【0044】

このようにして、図2 (I) に示すように、積層レジスト構造で形成された空間内にマッシュルーム型ゲート電極17が形成される。

図2 (J) に示すように、加温有機溶剤中に半導体基板を浸し、レジスト積層を溶解することによりその上に堆積したゲート電極層17をリフトオフにより除去する。半導体基板S上には、マッシュルーム型ゲート電極17が残る。

## 【0045】

このようにして得られるマッシュルーム型ゲート電極は、図3 (A) に示すように、その両端部が絶縁膜Dの上に乗り上げた構造を有する。絶縁膜Dの開口部に露出されている半導体基板S表面は、図3 (C) に示すように、 $TiO_x$ 膜17aにより確実に覆われており、その上に形成される反応性Ti層等の金属層と半導体層Sとが直接接触することを防止する。

## 【0046】

絶縁膜Dの上に乗り上げたゲート電極は、半導体層と接触しているゲート電極よりも外側に張り出している。このため、半導体層と接しているゲート電極端部周辺の電界が緩和される。

## 【0047】

この構成の場合、実効的ゲート電極長は、絶縁膜Dが画定する開口長により規定される。形成されるゲート電極Gは、この開口長よりも広い基部を有し、絶縁膜Dに乗り上げて形成されるが、たとえばゲート長0.1  $\mu m$ の電極が絶縁膜D上に0.01  $\mu m$ 乗り上げても電気的特性はほぼ同一に維持される。接触面が増加し、段差を覆うため、ゲート電極の機械的安定性が増す。

## 【0048】

図4 (A) ~ (D) は、本発明の他の実施例による半導体装置の製造方法を説明するための基板の断面図である。

図1 (A) ~ (G) の工程中、ゲートリセス領域形成後のSiN層15の堆積を省略し、他の工程は同様に行なう。

## 【0049】

図4 (A) に示すように、ゲートリセス領域で半導体基板Sが露出された構造の上に、レジスト積層による開口部が画定される。この構成に対し、上方より $TiO_x$ 層17aを真空蒸着する。ほぼ垂直な側壁を有するゲート電極用開口底面には、 $TiO_x$ 層17aが形成される。

## 【0050】

図4 (B) に示すように、ゲート電極用開口が順テープ化すると共に開口長が狭まる領域、例えば145°Cで10分間熱処理を行う。ゲート電極用開口は上方が開いて順テープ化すると共に、開口底部の開口長は狭まり、先に蒸着したTiO<sub>x</sub>層17aの上に乗り上げる。

## 【0051】

図4 (C) に示すように、Ti層、Pt層、Au層を順次高真空で蒸着することにより、ゲート金属層GMを蒸着する。

図4 (D) に示すように、加温有機溶剤中に半導体基板を浸し、リフトオフによりゲート電極Gを形成する。

## 【0052】

この構成においては、半導体基板上に絶縁性金属酸化膜17aが形成され、その領域に内包するように金属ゲート電極構造GMが形成される。金属ゲート電極GMの端部は、絶縁性金属酸化膜17aに内包される領域に形成されるため、反応性金属が半導体表面と直接接触することが防止される。

## 【0053】

次に、付加的ドーズにより順テープ化を促進する実施例を説明する。

図8は、本発明者等の行なったテープ角度のドーズ量依存性を示すグラフである。EB露光用レジストは、閾値以上の電子線を照射することにより分子量を低減し、レジスト現像液で現像できるようになる。電子線照射量を低減すると、現像はしないが、分子量の低減した状態を実現することができる。このようなレジスト層に熱処理を行なうと、電子線を照射しない場合と較べ、より低温で上方で開くテープ化を生じさせることができる。

## 【0054】

図8において、横軸はファインゲートの近傍に照射する電子線の照射量を示し、縦軸は生じるテープ角を示す。熱処理温度は、電子線照射をしない場合には、ほとんどテープ化を生じない温度である。ドーズ量が増大するにつれ、基板表面に対するテープ角度は90度から減少し、小さくなる。すなわち、開口の側壁は大きく開き、テープの程度が大きくなる。

## 【0055】

図5 (A) に示すように、半導体基板Sの上に、絶縁膜D、電子線レジスト層PR10、レジスト層R、電子線レジスト層PR20を積層した構造を図1 (A) ~図2 (J) に示した実施例同様にして形成する。

## 【0056】

所定ドーザ量の電子線E1により、ゲート電極用開口A3を描画する。例えば、幅0.1μmのゲート電極用開口をEB描画する。このゲート電極用開口に隣接する領域、図においては右側に示す幅約0.05μmの領域に、現像限界以下に低減した補助EB照射、例えば閾値の約半分のドーザ量のEB照射を行なう。

## 【0057】

図5 (B) に示すように、電子線レジスト層PR10をMIBK/IPA混合溶液により現像する。この現像により、ゲート電極用露光部A3は除去されるが、補助露光された領域Axはそのまま残る。ゲート電極用開口底面に露出した絶縁膜D、例えばSiN膜を、例えばSF<sub>6</sub>ガスを用いたドライエッチングにより除去する。

## 【0058】

なお、2種類の電子線照射を続けて行ない、その後現像を行なう場合を説明したが、開口用電子線照射を行った後現像を行ない、現像後のレジストパターンに對して補助的EB露光を行なっても良い。また、上部開口用描画、下部開口用描画、テーパ付与用描画を同時に上層レジスト上から行なってもよい。

## 【0059】

図5 (C) に示すように、開口長が広がる温度領域、例えば130℃で10分間順テープ化熱処理を行う。電子線レジスト層PR10は、開口左側の領域が電子線で補助照射されており、この領域が優先的に順テープ化する。左側の電子線レジスト層PR10側壁は、比較的変化を受けない状態に維持される。

## 【0060】

図5 (D) に示すように、形成された開口部を埋めるように、絶縁性金属酸化膜(TiO<sub>x</sub>膜)、Ti層、Pt層、Au層を順次高真空蒸着装置により蒸着し、ゲート電極17を形成する。

## 【0061】

図5 (E) に示すように、加温有機溶剤中に半導体基板を浸し、リフトオフを行うことにより、ゲート電極Gが形成される。この構成においては、ゲート電極Gは、その一方の側、例えばドレイン側でのみ絶縁膜Dに乗り上げた構造を有する。ゲート電極がドレイン側に乗り上げることにより、特に反応が進行し易い強電界印加領域において電界が緩和される。絶縁性金属酸化層が確実に半導体基板S表面を覆い、反応性金属と半導体基板の直接接触を防止する。

## 【0062】

積層レジスト層のベーキング温度を変化させる事により、順テープ開口形状を調整する実施例を以下に説明する。

図6 (A) に示すように、ゲートリセス領域形成までの工程は図1 (A) ~図2 (J) に示した実施例同様に行った半導体基板Sの表面上に、SiN膜等の絶縁膜Dを形成した後、例えばPMMAにより、第1電子線レジスト層PR11を厚さ約200nm塗布し、例えば185°Cで5分間ベーキングする。その上に、例えばPMMAにより、第2電子線レジスト層PR12を厚さ約200nm塗布し、145°Cで5分間ベーキングする。このように、高温でベーキングした下側層と、低温でベーキングした上側層とを有する下部レジスト積層を形成する。

## 【0063】

第2電子線レジスト層PR12の上に、例えばアルカリ可溶性レジスト層Rを厚さ約600nm塗布し、145°Cで4分間ベーキングする。さらにその上に、例えばポリスチレン系電子線レジスト層PR20を、上側電子線レジスト層として厚さ約200nm塗布し、145°Cで4分間ベーキングする。

## 【0064】

図6 (B) に示すように、上層電子線レジスト層PR20に対し、幅約0.8μmの開口部をEB描画し、MIBK/MEK混合溶液により現像する。上層電子線レジスト層PR20をマスクとし、中間レジスト層Rをアルカリ現像液によりエッティングし、上層電子線レジスト層開口下に0.2μm以上食い込んだ開口部を形成する。

## 【0065】

その後、EB描画により積層電子線レジスト層PR12、PR11に対し、幅0.1μmの開口部をEB描画し、MIBK/IPA混合溶液により現像する。電子線レジスト層に開口を形成した後、露出した絶縁膜Dを例えばSF<sub>6</sub>ガスによりドライエッティングする。

## 【0066】

図6(C)に示すように、順テープ形成温度範囲、例えば140℃において10分間熱処理を行い、下層レジスト積層PR12、PR11に対し、順テープ化処理を行なう。比較的高温でベーキングを行った第1電子線レジスト層PR11は、順テープ化の程度が低く、比較的低温でベーキングを行った第2電子線レジスト層PR12は、大きな順テープ化を受ける。このようにして、上方でより開いた順テープ形状が得られる。

## 【0067】

図6(D)に示すように、前述の実施例同様に、開口内を埋め込むように、絶縁性金属酸化膜(TiO<sub>x</sub>膜)、Ti層、Pt層、Au層を順次高真空蒸着装置により蒸着し、ゲート電極構造17を形成する。

## 【0068】

図6(E)に示すように、加温有機溶剤中に半導体基板を浸し、リフトオフによりレジスト層を除去し、ゲート電極Gを形成する。

この構成によれば、ファインゲートの基部は、その下部において比較的垂直な側壁を有し、上部が上に開いた順テープ形状を有する。なお、半導体表面上の絶縁膜Dは省略してもよい。

## 【0069】

以上の実施例において種々の変更を採用することもできる。例えば、ゲート電極構造の最下層に絶縁性酸化膜を用いる場合を説明したが、ショットキメタル層が直接半導体表面に接触するゲート電極構造を形成することも出来る。テープ形状は断面が直線である必要はなく、単調に変化するものであればよい。絶縁膜としてSiN膜を用いる場合を説明したが、他の絶縁膜を用いても良い。絶縁性金属酸化膜の代りに、他の絶縁膜を用いることも可能であろう。ゲート電極の組成も、前述のものに限らない。

## 【0070】

実施例ではPMMAレジストを用いたレジスト開口を、順テープ化する方法を説明したが、同様に開口形成後の熱処理により、ガラス転移等による急激な開口形状変化が起こらない温度領域（ガラス転移温度より下の温度領域）において制御性良く開口形状を調節することが出来るレジストを用い半導体装置を製造することが可能である。

## 【0071】

また、実施例では、一つのリセス形成方法を示したが、リセス形成方法には、半導体層をウェットエッチングにより形成する方法、SiN膜を用いない方法、マッシュルームゲート用開口を用いて半導体層をエッチングし、リセス領域を形成する方法等を用いることもできる。

## 【0072】

また、マッシュルームゲート上部形成方法において、実施例では電子線3層レジストによる形成例を示したが、フォトレジストを含む逆テープレジスト開口を用いたリフトオフマッシュルームゲートを用いることも可能である。図9は、電子線レジスト層PR10の上にレジスト層PR20を形成し、レジスト層PR20に下方で広がる逆テープ開口を形成した状態を示す。他の構成要件は図1(F)と同様である。また、反転パターンを用いてオーバーゲート部分をミリング等により形成することも可能である。

## 【0073】

半導体集積回路においては、種々の半導体素子が形成される。高速動作を要求されるトランジスタもあれば、さほど高速動作を要求されないトランジスタもある。高速動作するトランジスタのゲート長は短いほど好ましい。さほど高速動作を要求されないトランジスタのゲート長は、さほど短くする必要は無い。

## 【0074】

図10(A)～(E)は、本発明の他の実施例による半導体装置を示す平面図及び断面図である。

図10(A)は、半導体集積回路装置の構成を概略的に示す。半導体チップSPの表面には、高速動作回路HP及び低速動作回路LPが形成されている。

## 【0075】

図10 (B) は、低速動作回路LP内に形成されるトランジスタのゲート用レジスト開口を概略的に示す。開口AWは、レジスト積層最上面から最下面まで貫通するゲート基部用開口である。上側開口GWは、レジスト積層の上層部にのみ形成される開口である。

## 【0076】

図10 (C) は、高速動作回路HPに形成されるトランジスタのゲート用レジスト開口を示す概略平面図である。開口ANは、レジスト積層最上面から最下面まで貫通するゲート基部用開口である。開口GNは、レジスト積層の上層部にのみ形成される開口である。領域ADは、補助EB露光を行なう領域である。補助EBを行なうと、現像はされないがその後の熱処理により上方が開いた順テープ形状を生成する。

## 【0077】

図10 (D) に示すように、低速動作回路部分では補助EB露光を行なわず、高速動作回路領域のみにおいて補助EB露光を行なう。補助EB露光は、例えば加速エネルギー50keV、ドース量 $20\mu\text{C}$ とする。

## 【0078】

その後、例えば $130^\circ\text{C}$ で5分間の熱処理を行なう。補助EB露光を受けた領域では、レジストの平均分子量が低減しているため、この熱処理によって上方で開いた順テープ化が進行する。補助EB露光を行なわなかった領域では、有意義な順テープ化は進行しない。ゲート電極を堆積した後、レジスト層を剥離し、その上の電極層をリフトオフする。

## 【0079】

図10 (E) は、得られたゲート電極の形状を概略的に示す。低速回路領域のゲート電極GWは、比較的長いゲート長を有し、ゲート電極基部はほぼ垂直に立った側面で画定されている。このようなゲート電極は機械的強度が高い。高速回路領域のゲート電極GNは、上方でゲート長方向の寸法が拡大するテープ形状の基部を有し、ゲート長はその最下端で画定され、短い。このようなゲート電極は高速動作に適している。

## 【0080】

半導体集積回路においては、トランジスタのみでなく、キャパシタ等の他の電子素子や配線も形成される。トランジスタ以外の回路要素においても、マッシュルーム型構造が採用されることがある。

## 【0081】

図11 (A) ~ 11 (D) は、本発明の他の実施例による半導体集積回路装置の構成を示す。

図11 (A) は、半導体チップ内の配置を概略的に示す。図10 (A) の構成同様、半導体チップSP中に、低速回路領域LP及び高速回路領域HPが配置されている。高速回路領域HP内に、高速動作するトランジスタQと、トランジスタ以外の太いフィンガを有する回路要素Pが配置されている。

## 【0082】

図11 (B) は、高速回路領域内の回路要素Pのレジスト開口を示す。

図11 (C) は、高速領域内のトランジスタのゲート用レジスト開口を示す。これらのレジスト開口の形状は、図10 (B)、(C) と同様である。回路要素P用のレジスト開口は、上層部に形成されるパターンPWと、上層部下層部を貫通して形成される開口AWとを有する。高速回路領域のトランジスタ領域Qに形成されるレジストパターンは、上層部に形成されるパターンGNとゲート電極基部に対応して形成される貫通開口ANとを有する。貫通開口ANの両側に、補助EB露光用領域ADが画定される。

## 【0083】

これらの領域に対し、図10 (A) ~ 10 (E) の実施例同様のEB露光が行なわれ、熱処理、電極層堆積、レジスト層剥離の工程が行なわれる。

図11 (D) は、作成されたゲート電極及び太フィンガ素子の形状を示す。回路要素Pは、ほぼ垂直な側壁で画定される太い基部を有し、たとえば配線を構成する。なお、技術的に垂直と同等と認められる角度を、ほぼ垂直と呼ぶ。高速動作するトランジスタQのゲート電極GNは、基部が上方に向かうに従って拡大したテーパ形状を有する。

## 【0084】

なお、図10 (A) ~ 10 (E)、図11 (A) ~ 11 (D) の実施例において、レジスト積層は図1 (E) に示すような3層積層でも、図9に示すような2層積層でも良い。又、レジストパターンの作成は、レジスト積層を形成した後、露光、現像又はエッチングによって形成しても、最下層を形成した後、パターニングを行い、上層を形成しても良い。

#### 【0085】

上述の実施例においては、図1 (E) に示すように広幅領域の露光を行ない、図1 (F) に示すように現像を行った後、細幅領域の露光を行い、図1 (G) に示すように再度現像を行なった。現像を行なう前に複数種類の露光を行い、その後上層レジスト、下層レジストの現像を行なうこともできる。

#### 【0086】

上述の実施例においては、テーパ化を行なうレジスト層をPMMAで形成した。PMMAは、例えばガラス転移温度が165°Cである。このレジスト材料の溶液としては、エチルセルソルブアセテート (ECA、沸点170~180°C程度) や、プロピレングリコールモノメチルエーテルアセテート (PGMEA、沸点140°C + α程度) 等が知られている。沸点の高い溶媒を用いた場合にも、レジストのベーキング、熱処理はレジストのガラス転移温度以下で行なうことが好ましい。

#### 【0087】

溶媒としてPGMEAを用い、露光前のベーキング、現像後の熱処理を120°C~150°Cで行なった。全ての場合にテーパ化が認められた。これらの結果から、ガラス転移温度以下でベーキング及び熱処理を行なうことを事により、所望のテーパ形状を得ることが可能と考えられる。

#### 【0088】

その他種々の変更、改良、組み合わせが可能なことは当業者に自明であろう。以下、本発明の特徴を付記する。

(付記1) 電流を流すための一対の電流取り出し領域を有する半導体基板と、

前記半導体基板上に形成され、ゲート電極用開口部を有する第1の絶縁膜と、

前記ゲート電極用開口部で前記半導体基板上に形成され、前記半導体基板上で電流方向の寸法を制限し、上に向うに従って前記電流方向の寸法が単調に増大する順テープ形状を有する基部と、前記基部の上に形成され電流方向の寸法がステップ状に拡大した傘部とを有し、前記基部が前記ゲート電極用開口部で前記半導体基板に接すると共に、電流方向の両端部の少なくとも一方で前記第1の絶縁膜上に乗り上げた構造を有するマッシュルーム型ゲート電極構造と、を有する半導体装置。

## 【0089】

(付記2) 前記ゲート電極構造の基部が、前記電流方向の両端部で前記第1の絶縁膜上に乗り上げた構造を有し、電流方向に関してほぼ対称な順テープ形状を有する付記1記載の半導体装置。

## 【0090】

(付記3) 前記ゲート電極構造の基部が、前記両端部の一方で前記第1の絶縁膜上に乗り上げ、該一方の側で他の側よりも大きな順テープを有する付記1記載の半導体装置。

## 【0091】

(付記4) 前記マッシュルーム型電極構造が、第2の絶縁膜で形成された最下層と、その上に形成された上層とを含む付記1記載の半導体装置。

(付記5) 前記第2の絶縁膜がチタン酸化物で形成された付記4記載の半導体装置。

## 【0092】

(付記6) 複数のトランジスタ領域を有する半導体基板と、前記複数のトランジスタ領域で前記半導体基板上方に形成され、各々前記半導体基板上で電流方向の寸法を制限した基部と、前記基部の上に形成され電流方向の寸法がステップ状に拡大した傘部とを有する複数のマッシュルーム型ゲート電極構造と、

を有し、前記複数のマッシュルーム型ゲート電極構造の少なくとも一部は上に向うに従って電流方向の寸法が単調に増大するテープ形状を有し、テープ形状の角度がトランジスタ領域に応じて異なるものを含む半導体装置。

## 【0093】

(付記7) 複数のトランジスタ領域を有する半導体基板と、前記複数のトランジスタ領域で前記半導体基板上方に同一層で形成され、各々前記半導体基板上で1方向の寸法を制限した基部と、前記基部の上に形成され前記1方向の寸法がステップ状に拡大した傘部とを有する複数のマッシュルーム型導電体構造と、

を有し、前記複数のマッシュルーム型導電体構造の一部は上に向うに従って前記1方向の寸法が単調に増大するテーパ形状の基部を有し、他の一部はほぼ垂直な側面が前記1方向の寸法を画定する基部を有する半導体装置。

## 【0094】

(付記8) 電流を流すための一対の電流取り出し領域を有する半導体基板と、

前記一対の電流取り出し領域の間で、前記半導体基板表面上に形成され、電流方向に関して比較的小さな順テーパを有する下側基部と、その上に形成され、比較的大きな順テーパを有する上側基部と、その上に形成され電流方向の寸法がステップ状に拡大した傘部とを有するマッシュルーム型ゲート電極構造と、を有する半導体装置。

## 【0095】

(付記9) 電流を流すための一対の電流取り出し領域を有する半導体基板と、

前記一対の電流取り出し領域の間で、前記半導体基板表面に形成されたゲート電極用絶縁層と、前記ゲート電極用絶縁層の端部から引き込んだ領域上に形成され、上に向うに従って前記電流方向の寸法が単調に増大する順テーパ形状を有する金属製基部と、その上に形成され電流方向の寸法がステップ状に拡大した金属製傘部とを有するマッシュルーム型ゲート電極構造と、を有する半導体装置。

## 【0096】

(付記10) 前記ゲート電極用絶縁層がチタン酸化物で形成された付記9記載の半導体装置。

(付記11) (a) 一対の電流取り出し領域を備えた半導体基板を準備する工程と、

(b) 前記半導体基板上に絶縁層を形成する工程と、

(c) 前記絶縁層上にレジスト積層を形成する工程と、

(d) 前記レジスト積層の上層部に中広がりの上部開口を形成する工程と、

(e) 前記レジスト積層の下層部に、前記上部開口に連続し、電流方向の寸法を制限し、ほぼ垂直な側壁を有する下部開口を形成する工程と、

(f) 前記下部開口内に露出した絶縁膜をエッティングする工程と、

(g) 前記レジスト積層を熱処理し、前記下部開口の側壁を変形させ、電流方向端部の少なくとも一方が前記絶縁層端部から後退すると共に、上に向うに従つて前記下部開口の電流方向の寸法が単調に増大するように順テープ化する工程と、

(h) 前記下部開口内にゲート電極基部を埋め込むと共に、前記上部開口内に電流方向寸法の拡大した傘部を形成する工程と、  
を含む半導体装置の製造方法。

#### 【0097】

(付記12) 前記工程(g)の熱処理が、前記レジスト積層の下層部のガラス転移温度より下の温度で行なわれる付記11記載の半導体装置の製造方法。

(付記13) 前記工程(g)の熱処理が、前記下部開口の電流方向に対向する両側面をほぼ対称的に順テープ化し、共に前記絶縁層端部から後退させる付記11記載の半導体装置の製造方法。

#### 【0098】

(付記14) さらに(i)前記レジスト積層の下層部に対して、前記下部開口または下部開口となるべき領域に隣接する一対の領域の少なくとも一方にエネルギービームを照射する工程を含み、

前記工程(g)の熱処理がエネルギービーム照射領域と非照射領域とでテープ化の程度が異なるようにする付記11記載の半導体装置の製造方法。

#### 【0099】

(付記15) (a) 複数の素子領域を備えた半導体基板を準備する工程と

- (b) 前記半導体基板上方にレジスト積層を形成する工程と、
- (c) 前記複数の素子領域の各々において、前記レジスト積層の上層部に上部開口を画定するためのエネルギー線照射を行い、前記複数の素子領域の少なくとも一部において、前記レジスト積層の下層部に、素子領域に応じたドーズ量のエネルギー線照射を行なう工程と、
- (d) 前記複数の素子領域の各々において、前記レジスト積層の上層部に中広がりの上部開口を形成する工程と、
- (e) 前記複数の素子領域の各々において、前記レジスト積層の下層部に、前記上部開口に連続し、第1の方向の寸法を制限し、ほぼ垂直な側壁を有する下部開口を形成する工程と、
- (f) 前記レジスト積層を熱処理し、前記少なくとも一部の素子領域において、前記下部開口の側壁をドーズ量に応じて変形させ、上に向うに従って前記第1の方向の寸法が単調に増大したテーパ形状を生成する工程と、
- (g) 前記下部開口内に導電体基部を埋め込むと共に、前記上部開口内に第1の方向寸法の拡大した傘部を形成する工程と、を含む半導体装置の製造方法。

## 【0100】

(付記16) (a) 複数の素子領域を備えた半導体基板を準備する工程と

- (b) 前記半導体基板上方にレジスト積層を形成する工程と、
- (c) 前記複数の素子領域の各々において、前記レジスト積層の上層部に中広がりの上部開口を形成する工程と、
- (d) 前記複数の素子領域の少なくとも一部において、前記レジスト積層の下層部に、素子領域に応じたドーズ量のエネルギー線照射を行なう工程と、
- (e) 前記複数の素子領域の各々において、前記レジスト積層の下層部に、前記上部開口に連続し、第1の方向の寸法を制限し、ほぼ垂直な側壁を有する下部開口を形成する工程と、
- (f) 前記レジスト積層を熱処理し、前記少なくとも一部の素子領域において、前記下部開口の側壁をドーズ量に応じて変形させ、上に向うに従って前記第1

の方向の寸法が単調に増大したテーパ形状を生成する工程と、

(g) 前記下部開口内に導電体基部を埋め込むと共に、前記上部開口内に第1の方向寸法の拡大した傘部を形成する工程と、  
を含む半導体装置の製造方法。

## 【0101】

(付記17) 前記工程(d)が、トランジスタ領域に応じて異なるドーズ量のエネルギー線照射を行ない、前記工程(f)がテーパ角度の異なる下部開口側壁を生成し、前記工程(g)がマッシュルーム型ゲート電極を形成する付記16記載の半導体装置の製造方法。

## 【0102】

(付記18) (a) 一対の電流取り出し領域を備えた半導体基板を準備する工程と、

(b) 前記半導体基板上に第1のレジスト層を形成し、第1の温度でベークする工程と、

(c) 前記第1のレジスト層の上に第2のレジスト層を形成し、第1の温度より低い第2の温度でベークする工程と、

(d) 前記第1、第2のレジスト層の上に中広がりの上部開口を有する上層レジスト構造を形成する工程と、

(e) 前記第1、第2のレジスト層に、前記上部開口に連続し、電流方向の寸法を制限し、ほぼ垂直な側壁を有する下部開口を形成する工程と、

(f) 前記半導体基板を第3の温度で熱処理し、前記第1のレジスト層に比較的小さな順テーパ化、前記第2のレジスト層に比較的大きな順テーパ化を付与する工程と、

(g) 前記下部開口内にゲート電極基部を埋め込むと共に、前記上部開口内に電流方向寸法の拡大した傘部を形成し、マッシュルーム型ゲート電極を形成する工程と、

を含む半導体装置の製造方法。

## 【0103】

(付記19) 前記第1の温度および第2の温度が、前記第1のレジスト層

のガラス転移温度より低く選択されている付記18記載の半導体装置の製造方法

【0104】

(付記20) (a) 一対の電流取り出し領域を備えた半導体基板を準備する工程と、  
 (b) 前記半導体基板上に下層部と上層部とを含むレジスト積層を形成する工程と、  
 (c) 前記レジスト積層の上層部に中広がりの上部開口を形成する工程と、  
 (d) 前記レジスト積層の下層部に、前記上部開口に連続し、電流方向の寸法を制限し、ほぼ垂直な側壁を有する下部開口を形成する工程と、  
 (e) 前記半導体基板上方から前記下部開口底面上にゲート電極用絶縁層を蒸着する工程と、  
 (f) 前記レジスト積層を熱処理し、前記下部開口の側壁を変形させ、電流方向端部が前記ゲート電極用絶縁層端部に乗り上げると共に、上に向うに従って前記下部開口の電流方向の寸法が単調に増大するよう順テープ化する工程と、  
 (g) 前記半導体基板上方から前記上部開口および下部開口内に金属層を蒸着し、前記ゲート電極用絶縁層の上面に内包される底面を有するゲート電極基部を前記下部開口内に埋め込むと共に、前記上部開口内に電流方向寸法の拡大した傘部を形成し、マッシュルーム型ゲート電極を形成する工程と、  
 を含む半導体装置の製造方法。

【0105】

(付記21) 前記ゲート電極用絶縁層がチタン酸化物で形成される付記20記載の半導体装置の製造方法。

【0106】

【発明の効果】

以上説明したように、本発明によれば、マッシュルーム型ゲート電極を有する半導体装置を信頼性高く製造することができる。ゲート長が縮小した場合にも、歩留まり良くマッシュルーム型ゲート電極を形成することができる。

【0107】

ゲート電極構造の最下層として絶縁膜を用いる場合、半導体表面と金属ゲート電極との間を絶縁膜により分離し、直接接触を防止することができる。

【図面の簡単な説明】

【図1】 本発明の実施例による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図2】 本発明の実施例による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図3】 図1、図2に示す実施例の特徴を説明するための半導体基板の断面図である。

【図4】 本発明の他の実施例による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図5】 本発明のさらに他の実施例による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図6】 本発明の他の実施例による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図7】 本発明者等の行った検討結果を説明するためのレジスト層断面図及びグラフである。

【図8】 本発明者等の行った検討結果を示す順テープ角のドーズ量依存性を示すグラフである。

【図9】 本発明の他の実施例による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図10】 本発明の他の実施例を説明するための平面図及び断面図である。

【図11】 本発明のさらに他の実施例を説明するための平面図及び断面図である。

【符号の説明】

- 1 GaAs 基板
- 2 GaAs バッファ層
- 3 InGaAs 電子走行層

4 AlGaAs 電子供給層

5 GaAs 低抵抗層

11 オーミック電極

13、15 SiN膜

PR 電子線レジスト層

R レジスト層

17 ゲート電極構造

17a TiO<sub>x</sub>膜

17b Ti層

17c Pt層

17d Au層

G ゲート電極構造

GM 金属ゲート電極

D 絶縁膜

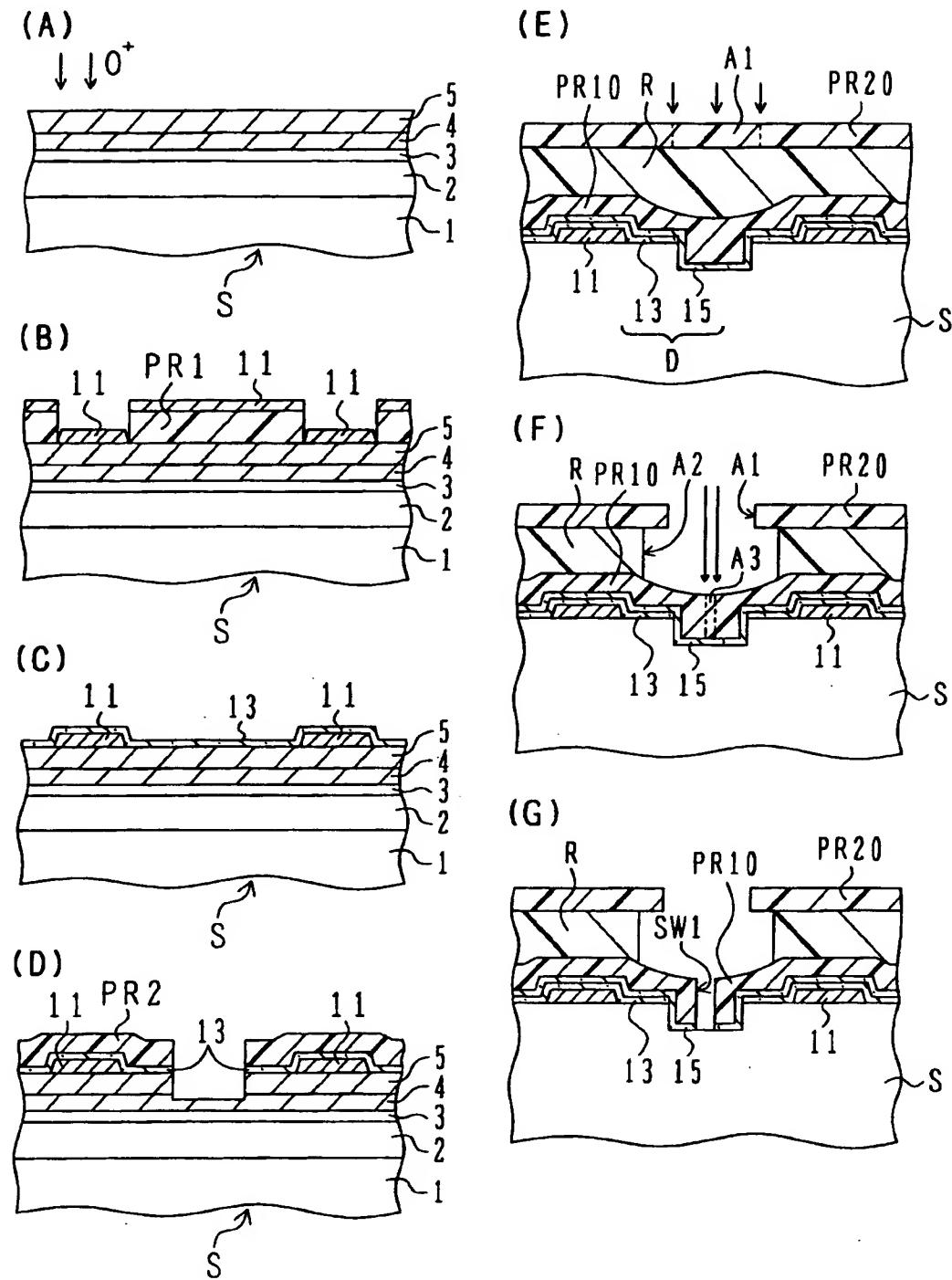
S 半導体基板

A3 ゲート電極用開口

Ax 補助ドーズ領域

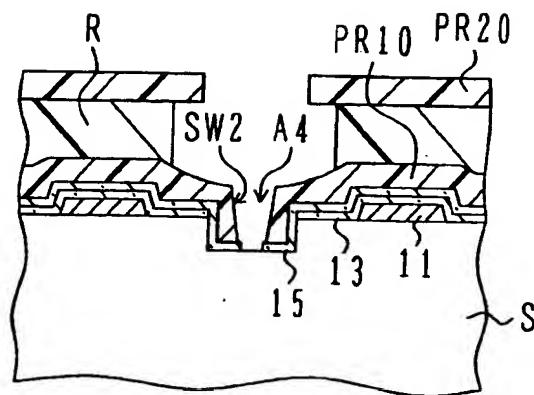
【書類名】 図面

【図1】

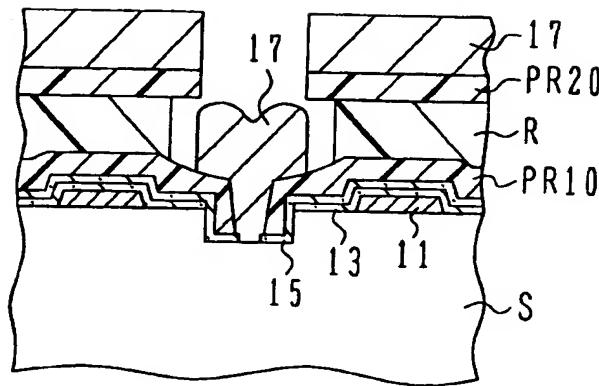


【図2】

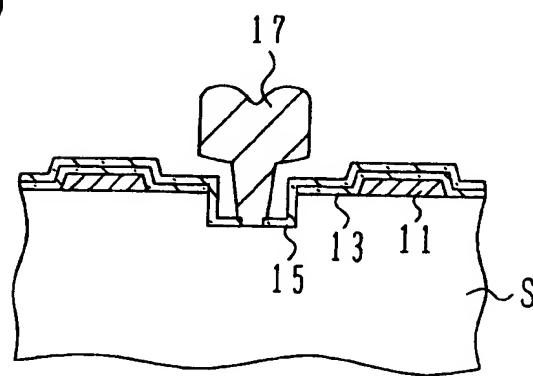
(H)



(I)



(J)



ARMSTRONG, WESTERMAN & HATTORI, LLP  
Suite 1000  
1725 K Street, N.W.  
Washington D.C. 20006

Docket No.:020212  
Serial No.:10/084,924

